

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-165463

(43)Date of publication of application : 18.09.1984

(51)Int.Cl.

H01L 29/80
H01L 21/20
H01L 21/28

(21)Application number : 58-038168

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 10.03.1983

(72)Inventor : ISHII YASUHIRO

FUJITA YOSHIMOTO

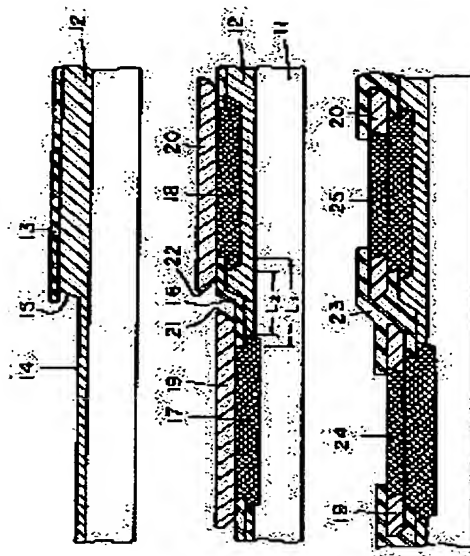
(54) MANUFACTURE OF COMPOUND SEMICONDUCTOR FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To enhance the performance due to increase in a short gate and to simultaneously perform the minimization of a series resistor between a source and a drain by forming a tapered stepwise difference of an N type active layer on a gate electrode region, and forming a lateral growth on the insulating film in a selective epitaxial growth.

CONSTITUTION: An insulating film 13 is formed on an N type active layer 12, a window is opened by etching at a source side of an insulating film, with the insulating film 13 as a mask the layer 12 is dug by etching, and a flat dug bottom side 14 and a tapered stepwise difference 15 are formed. After

the film 13 is then removed, an insulating film 16 is again formed on an N type active layer 12, windows are opened by etching for source and drain electrode regions at the insulating film, with the film 16 as a mask the layer 12 of the drain side, the layer 12 of the drain side and a semi-insulating GaAs substrate 11 are partly selectively etched, and selectively laminated layer epitaxial growths of N+ type layers 17, 18 and semi-insulating layers 19, 20 are performed by an MO-CVD method in a dug part. In this selective epitaxial growth, lateral growths 21, 22 are formed on the film 16.



LEGAL STATUS

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑯ 公開特許公報 (A)

昭59—165463

① Int. Cl.³

H 01 L 29/80

21/20

21/28

識別記号

庁内整理番号

7925—5 F

7739—5 F

7638—5 F

④ 公開 昭和59年(1984)9月18日

発明の数 1

審査請求 未請求

(全 5 頁)

⑥ 化合物半導体電界効果トランジスタの製造方法

⑦ 発明者 藤田良基

東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

⑧ 特 願 昭58—38168

⑨ 出 願 人 沖電気工業株式会社

⑩ 出 願 昭58(1983)3月10日

東京都港区虎ノ門1丁目7番12
号

⑪ 発明者 石井康博

⑫ 代理人 弁理士 菊池弘

東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

明 細 書

1. 発明の名称

化合物半導体電界効果トランジスタの製造方法

2. 特許請求の範囲

半絶縁性化合物半導体基板上にn形活性層を設ける工程と、露光描画法によりゲート域に前記n形活性層のテーパ状段差を形成する工程と、絶縁膜を被覆した後、露光描画法によりソース、ドレイン電極域の絶縁膜を開窓し、該絶縁膜をマスクとしてドレイン側のn形活性層の一部、ソース側のn形活性層及び半絶縁性化合物半導体基板の一部を選択エッチして、該掘込み部にMO-CVD法によりn⁺層及び半絶縁性層の選択エピタキシャル成長を行ない、ソース・ドレイン間の絶縁膜上に横方向へ拡がる半絶縁性層の横方向成長部を形成する工程と、該横方向成長部をマスクとしてゲート域のテーパ状段差にまたがつてゲート電極を蒸着法により形成する工程とを具備することを特徴とする化合物半導体電界効果トランジスタの製造方法。

3. 発明の詳細な説明

(技術分野)

本発明は半導体装置、特に化合物半導体電界効果トランジスタの製造方法に関するものである。

(従来技術)

GaAs等の化合物半導体を基板とする電界効果トランジスタは、超高频・超高速の信号処理に非常に良好な性能を発揮し得ることが知られており、その高性能化のための基本的事項としては、ゲート長の短縮、ソース・ドレイン間の直列附加抵抗の低減等が重要である。しかしながら、従来は微細構造のショットキ結合ゲート電極の製作、ソース・ドレイン間の短縮、ソース・ドレイン間内でのゲート電極の相対位置関係の精度の確保等の製造上の困難な問題があり、素子の製法に全く新規な発想に基づく飛躍が必要であつた。

第1図は、従来の化合物半導体電界効果トランジスタの製造方法の一例を具体的に示したものである。

第1図(a)では、半絶縁性GaAs基板1上にn形

GaAs 活性層 2 及び n^+ 形 GaAs 導電層 (以下 n^+ 層という) 3 をエピタキシャル成長で積層し、 n^+ 層 3 の表面に絶縁膜 4 を設け、該絶縁膜 4 にレジスト露光描画法によりショットキ接合ゲート電極を設定するための絶縁膜開窓エッチを行ない、さらに絶縁膜 4 をマスクとして該開窓部の n^+ 層 3 の選択エッチを行ない、絶縁膜 4 をマスクとしてショットキ接合金属の真空蒸着・リフトオフによりショットキ接合ゲート電極 5 を形成する。第 1 図 (b) では、絶縁膜 4 を除去した後 n^+ 層 3 上にオーム性接触のソース電極 6 及びドレイン電極 7 を設ける。以上により電界効果トランジスタが構成される。

しかるに、このような従来の方法では、次のような重大な欠点がある。すなわち、第 1 図の方法によるゲート電極のセルフアライメント方式では、ゲート電極のゲート長は絶縁膜 4 の開窓の隙間に等しく、従ってゲート長すなわちゲート電極線幅として例えば $0.5 \mu\text{m}$ 以下の非常に小さい線幅を実現しようとする、所望の線幅に等しい露光マ

スクの製作と露光描画技術が必須であり、工業的な微細構造ゲート電極の形成において極めて重大な欠点となつてゐる。

また、第 1 図の方法においては、ゲート電極 5 の直下は均一厚さの n 形活性層 (n 形 GaAs 活性層 2) になつており、 n 形活性層の中の電子流の制御に關与するゲート長はゲート電極 5 の線幅そのものであり、故にゲート長の短縮にともなう微細加工の制限に加えて、微細線幅のゲート電極に原因するゲート抵抗の増大、ゲート電極の機械的な安定性等の障害をもたらししている。

(発明の目的)

本発明は上記の点に鑑みなされたもので、その目的は、テーパー状の段差を有する n 形活性層を設け該テーパー状段差部分にショットキ接合ゲート電極を設けることによる実効的なゲート長の短縮と、選択エピタキシャル成長における絶縁膜上への横方向拡がり成長を適用した極めて微細なゲート電極形成法とにより、極めて高性能な化合物半導体電界効果トランジスタを得ることが出来る化合物

半導体電界効果トランジスタの製造方法を提供することにある。

(実施例)

第 2 図は、本発明の化合物半導体電界効果トランジスタの製造方法の一実施例を示す図である。この図を参照して本発明の一実施例を詳細に説明する。

第 2 図 (a) の工程では、半絶縁性 GaAs 基板 (半絶縁性化合物半導体基板) 11 の表面に、 n 形 GaAs からなる n 形活性層 12 をエピタキシャル成長法で設ける。

第 2 図 (b) の工程では、 Si_3N_4 の絶縁膜 13 を n 形活性層 12 上に設け、通常の露光描画法によりソース側を開窓する絶縁膜エッチを行ない、該絶縁膜 13 をマスクとして n 形活性層 12 の掘込みエッチを行ない平坦な掘込み底辺部 14 とテーパー状段差 15 を設ける。

第 2 図 (c) の工程では、前工程で使用した絶縁膜 13 を除去した後再度絶縁膜 16 を n 形活性層 12 上に設け、露光描画法によりソース、ドレ

イン電極域を開窓する絶縁膜エッチを行ない、該絶縁膜 16 をマスクとしてドレイン側の n 形活性層 12 の一部、ソース側の n 形活性層 12 及び半絶縁性 GaAs 基板 11 の一部を選択エッチし、該掘込み部に MO-CVD 法により n^+ 層 17, 18 及び半絶縁性層 19, 20 の選択積層エピタキシャル成長を行なう。

この工程において、図示の距離 L_1 すなわちソース・ドレイン電極域間に残された絶縁膜 16 の線幅は、掘込み部形成時の側面エッチの結果生ずる両掘込み部間距離 L_2 が実効的なソース・ドレイン間距離 L_{sd} に等しくなるように設定される。また、選択積層エピタキシャル成長においては、 n^+ 層 17, 18 の選択エピタキシャル成長は該成長表面が絶縁膜 16 表面にほぼ近似する程度の厚さに止め、続いて成長反応系への供給ガス流を制御して半絶縁性層 19, 20 の選択エピタキシャル成長を実施する。MO-CVD 法による化合物半導体のエピタキシャル成長法は、かゝる異種導電層の連続積層成長を制御性よく実施できる点で最も効果

的である。この工程における半絶縁性層19, 20の選択エピタキシャルにおいて、本発明の基本的な特徴をなす絶縁膜16上への横方向成長部21, 22を形成する。

第2図(f)の工程では、再度絶縁膜23を設けソース、ドレイン電極部を露光描画・絶縁膜選択エッチにより開窓し、該開窓部の半絶縁性層19, 20の選択堀込みエッチを行ない、該堀込み部にソース、ドレイン電極のための n^+ 層24, 25を選択エピタキシャル成長法で形成する。

第2図(g)の工程では、絶縁膜23を除去した後、レジスト膜26を設けて露光描画により半絶縁性層19, 20の横方向成長部21, 22の周辺以外をレジスト膜26で覆い、ショットキ接合ゲート金属の真空蒸着・リフトオフを行ない、ゲート電極27を形成する。この工程で形成されるゲート電極27は、前工程で形成された横方向成長部21, 22間の距離 L_1 、テーパー状段差15、および基板11面に対するゲート金属蒸着の角度 θ に関係して、 n 形活性層12の平坦部に接触する

部分 L_2 を有し、該部が電界効果トランジスタの特性を支配する実効的なゲート長 L_g となる。

第2図(h)の工程では、ソース、ドレイン電極金属28, 29を真空蒸着法で設け、熱処理を行ない n^+ 層24, 25に対するオーム性接触のソース、ドレイン電極を形成する。以上で化合物半導体電界効果トランジスタが完成する。

なお、以上に詳述した本発明の一実施例において、第2図(b)の工程で絶縁膜13を設けてテーパー状段差形成のエッチを行なっているが、絶縁膜13の被覆を省略して露光描画レジストパターンのみでエッチを行なうことも可能である。また、第2図(d)の工程で絶縁膜23をマスクとして半絶縁性層19, 20の選択堀込みエッチ及び n^+ 層24, 25の選択エピタキシャル成長を行なつたが、絶縁膜23をマスクとする選択イオン注入法による n 形不純物の注入により開窓部の半絶縁性層19, 20を n^+ 層に置換することも可能である。

(発明の特徴・効果)

以上の一実施例から明らかなように、本発明の

化合物半導体電界効果トランジスタの製造方法の特徴は、ソース・ドレイン間距離相当のマスクを使用して極微細寸法のゲート長を有するゲート電極を、ソース、ドレイン電極に対する相対位置関係を自動的に設定して構成することにより、素子構造の微細化による高性能化に直接的に大きく貢献するものである。すなわち、本発明は次の二つの基本原理により極微細構造を実現するものである。その第1の本発明の特徴的な方法は、MO-CVD法による化合物半導体の選択エピタキシャル成長における絶縁膜上への横方向成長を極めて巧妙に活用したものであり、その基本原理は次のような発明者らによる実験研究結果にもとづくものである。

第3図は、MO-CVD法によるGaAs 31の選択エピタキシャル成長における絶縁膜32上への横方向成長の横断面図を示すものであり、(100)面結晶の二つの直交するべき開面の片方の軸方向の横断面を同図(a)に、またその方向と 30.96° 傾いた方向での横断面を同図(b)に示し、その形状は母

材結晶の単結晶性を極めて忠実に受け継いだ優れた単結晶性のもとに非常に正確な面で構成されることが確認された。このようにひさし状に延びた横方向結晶形状は、本発明におけるゲート電極金属のマスクとしてリフトオフを容易にし、かつゲート電極と半絶縁性層との間に適当な空隙を構成するのに有効である。両横方向成長端間の距離は、MO-CVD法における供給ガス流量、成長温度、成長時間等の成長条件の制御により極めて高精度に設定可能である。

本発明の第2の特徴的な方法は、ゲート電極域にテーパー状段差を設けて実効的なゲート長を更に短縮することにある。電界効果トランジスタにおけるゲート電極によるソース・ドレイン間電流の制御作用は、ゲート電極直下の薄い活性層部分でのゲート電圧による空乏層の拡がり起因することとは周知の理論が示すところであり、従つて本発明によるゲート構造においてゲート電極の制御作用に直接関与する部分は平坦な n 形活性層部に接触する部分 L_2 のみであり、該部は前述の横方向成

長部間の距離 L_1 より更に狭くすることができる上に、 L_1 及びテーパ状段差の位置が一定のもとでも基板面に対するゲート金属蒸着の角度の設定により微細に調整設定が可能であり、 L_1 の数分の1程度まで微細にすることができる。一方、n形活性層のテーパ状段差部に接触しているゲート電極部分は、微細ゲート電極化にともなうゲート抵抗の増大を防止し、ゲート電極の機械的・構造的な保強に貢献し、素子の高信頼性化、製造歩留りの向上に大いに役立つ。また、n形活性層のテーパ状段差部は、化合物半導体電界効果トランジスタで特に高電流密度動作におけるドレイン側での高電界効果による性能劣化を解消すると共に、コレクタ側活性層の直列抵抗を更に低減する効果を有する。

以上に詳述した本発明の微細構造化の効果を具体的に寸法例で示すと以下になる。すなわち、本発明の実施に当つて使用されるマスクの最小線幅 (L_1) は、ゲート長 (L_g) より大きいことは勿論のこと、ソース・ドレイン間距離 (L_{sd}) よりも更

に広い線幅に相当している ($L_1 > L_{sd} = L_1 > L_g$)。微細線幅のマスクの製作および露光描画技術は線幅の減小にともなつて加速度的に困難性が增大する傾向にあり、その工業的な限界を $1 \mu\text{m}$ とすると、従来のように最小線幅がゲート長に相当する場合 ($L_1 = L_g$) の短ゲート化の限界は $1 \mu\text{m}$ 程度となる。これに対して本発明の一実施例においては、 $L_1 = 1.0 \mu\text{m}$ のマスクを使用して、n形活性層の選択エッチの側面エッチ量を $0.15 \mu\text{m}$ 、選択エピタキシャル成長の横方向成長を $0.3 \mu\text{m}$ に設定し、テーパ状段差による実効的なゲート長の短縮を $1/2$ に設定すると、 $L_g (=L_1) = 0.2 \mu\text{m}$ 、 $L_{sd} = 0.7 \mu\text{m}$ の極めて微細構造の電界効果トランジスタが製造される。

(発明の説明のまとめ)

以上に詳述したように、本発明の化合物半導体電界効果トランジスタの製造方法は、ゲート電極域にn形活性層のテーパ状段差を設けて実効的なゲート長を短縮する効果と、選択エピタキシャル成長における絶縁膜上への特徴的な横方向成長部

の形成とにより、極めて微細なゲート長を実現するものであり、しかも極めて短距離のソース・ドレイン間にゲート電極が自動的に高精度な相対位置関係を確認して設定され、短ゲート変化による高性能化とソース・ドレイン間の直列附加抵抗の最小化を同時に達成し、超高周波低雑音増幅器用素子および超高速集積化素子の性能を飛躍的に向上する優れた効果を有する。

4. 図面の簡単な説明

第1図は従来の化合物半導体電界効果トランジスタの製造方法の一例を具体的に示す断面図、第2図は本発明の化合物半導体電界効果トランジスタの製造方法の一実施例を示す断面図、第3図はMO-CVD法によるGaAsの選択エピタキシャル成長における絶縁膜上への横方向成長の状態を示す断面図である。

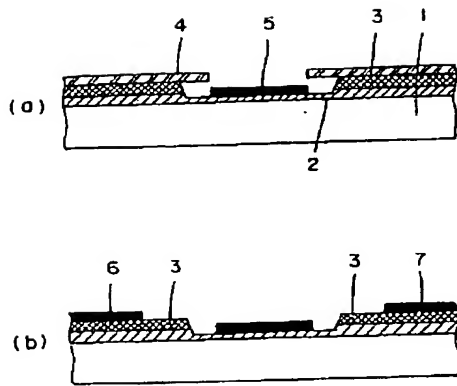
1 1…半絶縁性GaAs基板、1 2…n形活性層(n形GaAs層)、1 4…平坦な埋込み底辺部、1 5…テーパ状段差、1 6…絶縁膜、1 7, 1 8… n^+ 層、1 9, 2 0…半絶縁性層、2 1, 2 2…横

方向成長部、2 7…ゲート電極。

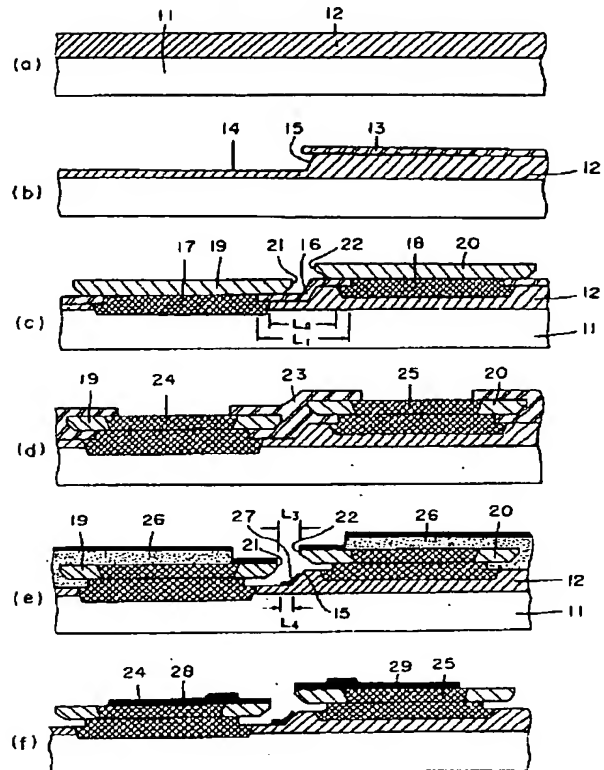
特許出願人 沖電気工業株式会社
代理人 弁理士 菊 池



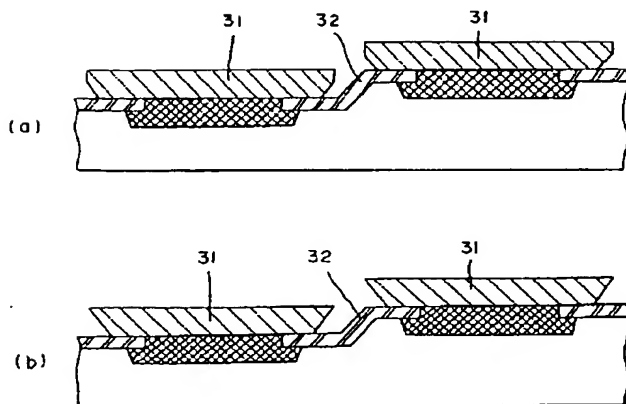
第 1 図



第 2 図



第 3 図



手 続 補 正 書

昭和 58 年 10 月 19 日

特許庁長官 若 杉 和 夫 殿

1. 事件の表示

昭和 58 年 特 許 願 第 3 8 1 6 8 号

2. 発明の名称

化合物半導体電界効果トランジスタの製造方法

3. 補正をする者

事件との関係 特 許 出 願 人

(029) 沖電気工業株式会社

4. 代 理 人

〒105 東京都港区虎ノ門一丁目2番20号 第19森ビル

弁理士 菊 池 弘

コード第6568号 電話 501-2453(代表)

5. 補正命令の日付 昭和 年 月 日 (自発)

6. 補正の対象

明細書の発明の詳細な説明の欄

7. 補正の内容

~~前紙の通り~~

1) 明細書 1 3 頁 4 行「変化」を「長化」と訂正する。